

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/786 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 03121631.5

[45] 授权公告日 2007 年 5 月 16 日

[11] 授权公告号 CN 1316632C

[22] 申请日 2003.3.18 [21] 申请号 03121631.5

[73] 专利权人 统宝光电股份有限公司

地址 台湾省新竹

[72] 发明人 柯明道 龚文侠 戴亚翔

[56] 参考文献

JP2002057345A 2002.2.22

CN1196832A 1998.10.21

CN1272695A 2000.11.8

审查员 徐 健

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈 红 楼仙英

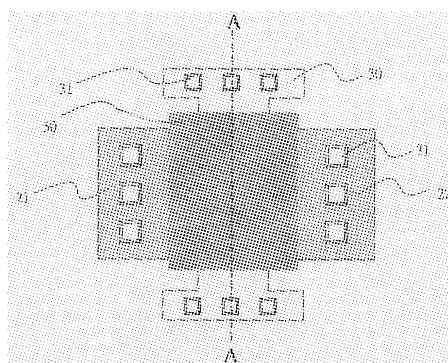
权利要求书 2 页 说明书 5 页 附图 8 页

[54] 发明名称

具有基体接触的薄膜晶体管组件

[57] 摘要

一种具有基体接触的薄膜晶体管组件，应用于多晶硅薄膜晶体管液晶显示器，借助于薄膜晶体管制作隔离于栅极电极、源极区和漏极区的基体接触区，并借由在基体接触区掺杂与源极区和漏极区不同型态的杂质来施加基体触发 (body-trigger) 偏压于薄膜晶体管的基体，用来降低薄膜晶体管驱动电路的临界电压 (Threshold Voltage)，以增加其驱动电流。



1.一种具有基体接触的薄膜晶体管组件，由一绝缘基体、一多晶硅层、一绝缘层与一栅极电极所组成，该多晶硅层包含有一沟道区、一源极区和一漏极区，其特征在于：该源极区与该漏极区掺杂有适当的第一杂质且分别连接于该沟道区，该沟道区一端具有连接该绝缘基体与该绝缘层的一基体接触区，该基体接触区表面具有贯穿该绝缘层的一接触层，并且，该接触层未与该栅极电极接触，该基体接触区掺杂和该源极区与该漏极区不同价数的第二杂质，以提供一基体触发偏压于该绝缘基体。

2.如权利要求1所述的具有基体接触的薄膜晶体管组件，其中该第一杂质为一五价施主时，该第二杂质为一三价受主。

3.如权利要求1所述的具有基体接触的薄膜晶体管组件，其中该第一杂质为一三价受主时，该第二杂质为一五价施主。

4.如权利要求1所述的具有基体接触的薄膜晶体管组件，其中该栅极电极的边缘形成延伸至该沟道区上方的一凹槽，并于该凹槽所掏空的区域建立该基体接触区及该接触层。

5.如权利要求1所述的具有基体接触的薄膜晶体管组件，其中该电极栅极材料选自铬或铝。

6.一种具有基体接触的薄膜晶体管组件，由一绝缘基体、一多晶硅层、一绝缘层与一栅极电极所组成，该多晶硅层包含有一沟道区、一源极区和一漏极区，其特征在于：该源极区与该漏极区掺杂有适当的第一杂质且分别连接于该沟道区，该沟道区一端具有连接该绝缘基体与该绝缘层的一基体接触区，该基体接触区表面具有贯穿该绝缘层的一接触层，该基体接触区与其上方的该接触层形成于该栅极电极所环绕的一内部区域，且该接触层未与该栅极电极接触，该基体接触区掺杂和该源极区与该漏极区不同价数的第二杂质，以提供一基体触发偏压于该绝缘基体。

7.如权利要求6所述的具有基体接触的薄膜晶体管组件，其中该第一杂质为一五价施主时，该第二杂质为一三价受主。

8.如权利要求6所述的具有基体接触的薄膜晶体管组件，其中该第一杂质为一三价受主时，该第二杂质为一五价施主。

9.如权利要求 6 所述的具有基体接触的薄膜晶体管组件，其中该栅极电极的边缘形成延伸至该沟道区上方的一凹槽，并于该凹槽所掏空的区域建立该基体接触区及该接触层。

10.如权利要求 6 所述的具有基体接触的薄膜晶体管组件，其中该电极栅极材料选自铬或铝。

具有基体接触的薄膜晶体管组件

技术领域

本发明涉及一种薄膜晶体管组件，特别是关于一种应用于低温多晶硅薄膜晶体管液晶显示器的具有基体接触的薄膜晶体管组件。

背景技术

薄膜晶体管(Thin Film Transistor, TFT)为薄膜晶体管液晶显示器(TFT LCD)的重要组件，薄膜晶体管的技术主要分为非晶硅(Amorphous Silicon)与多晶硅(Polysilicon)二种，非晶硅薄膜晶体管目前技术成熟，为液晶显示器的主流产品。而多晶硅技术则需使非晶硅经再结晶转化成多晶硅结构，由于制作成本及显示品质上的考虑，其中又以低温多晶硅技术为目前的发展重点。多晶硅晶体管的电子移动速度较非晶硅提高百倍，具有显示画面反映速度快、高亮度、及高分辨率等优点。此外，由于多晶硅的电子移动速度快，因此可将外围驱动电路整合于多晶硅的玻璃基板上，以减轻其重量，达到轻薄化的要求。

然而，目前将薄膜晶体管及其驱动电路整合制作于多晶硅的玻璃基板的工艺，同利用互补金属氧化物半导体(Complementary Metal-Oxide Semiconductor, CMOS)技术制作的驱动电路相比较，其具有临界电压较高以及电子迁移率较低的缺点。由此可知，在相同尺寸大小的情况下，薄膜晶体管组件所产生的驱动电流仍小于互补式金属氧化物半导体整合组件。而且，在薄膜晶体管液晶显示器朝向大尺寸与高分辨率发展的情况下，需要更高效能的薄膜晶体管驱动电路来加以配合。同时，制作于多晶硅的玻璃基板的驱动电路面积需受限于像素的间距，要如何在有限的面积内制作高效能的薄膜晶体管组件即成为目前的研究重点。

发明内容

为解决已有技术的问题，即在有限的驱动电路面积内增加薄膜晶体管的

驱动电流。本发明提供一种具有基体接触的薄膜晶体管组件，利用施加基体触发(body-trigger)偏压于薄膜晶体管的基体，来降低薄膜晶体管的临界电压以增加其驱动电流。

为了达到上述目的，本发明所公开的具有基体接触的薄膜晶体管组件，其包含有：一绝缘基体、一多晶硅层、一绝缘层(其材质可为氧化硅)以及一栅极电极；多晶硅层形成于此绝缘基体的表面，此多晶硅层由一沟道区、一源极区及一漏极区所组成，源极区与漏极区为掺杂有适当的杂质且分别连接于沟道区；绝缘层为覆盖于多晶硅层的沟道区、部分的源极区和漏极区的表面；以及，一栅极电极形成于多晶硅层的沟道区的氧化硅层上方。其中，于沟道区具有连接绝缘基体与绝缘层的基体接触区，其基体接触区表面是具有贯穿绝缘层的接触层，并且，接触层未与栅极电极接触。此基体接触区需掺杂和源极区与漏极区不同型态的杂质，以提供基体触发(body-trigger)偏压于绝缘基体。

本发明提供了一种具有基体接触的薄膜晶体管组件，其由绝缘基体、多晶硅层、绝缘层与栅极电极组成，该多晶硅层包含有沟道区、源极区和漏极区，其特征在于：该源极区与该漏极区掺杂有适当的第一杂质且分别连接于该沟道区，该沟道区一端具有连接该绝缘基体与该绝缘层的基体接触区，该基体接触区表面具有贯穿该绝缘层的接触层，并且，该接触层未与该栅极电极接触，该基体接触区掺杂和该源极区与该漏极区不同价数的第二杂质，以提供基体触发偏压于该绝缘基体。

本发明还提供了一种具有基体接触的薄膜晶体管组件，其由绝缘基体、多晶硅层、绝缘层与栅极电极组成，该多晶硅层包含有沟道区、源极区和漏极区，其特征在于：该源极区与该漏极区掺杂有适当的第一杂质且分别连接于该沟道区，该沟道区一端具有连接该绝缘基体与该绝缘层的基体接触区，该基体接触区表面具有贯穿该绝缘层的接触层，该基体接触区与其上方的该接触层形成于该栅极电极所环绕的内部区域，且该接触层未与该栅极电极接触，该基体接触区掺杂和该源极区与该漏极区不同价数的第二杂质，以提供基体触发偏压于该绝缘基体。

为使对本发明的目的、构造特征及其功能有进一步的了解，配合附图详细说明如下：

附图说明

图 1 为本发明的薄膜晶体管驱动电路布局示意图；

图 2 为本发明第一实施例的结构俯视示意图；

图 3 为本发明第一实施例的结构的剖面示意图；

图 4 为本发明第二实施例的结构俯视示意图；

图 5 为本发明第二实施例的结构的剖面示意图；

图 6 为本发明第二实施例的结构的剖面示意图；

图 7 为本发明第三实施例的结构俯视示意图；及

图 8 为本发明第三实施例的结构的剖面示意图。

具体实施方式

首先以实际电路来说明本发明的作用情形，请参考图 1，其为本发明的薄膜晶体管驱动电路示意图。其将具有基体接触的 P 型与 N 型薄膜晶体管组件(Mp 和 Mn)与负载电容(C_L)、电源供应(V_{CC})、输入端(In)和输出端(Out)加以连接，当其输入端(In)接收一由低至高的信号时，基体触发电路所产生的偏压为分别施加于 P 型与 N 型薄膜晶体管组件；同时，亦使 N 型薄膜晶体管的临界电压下降，P 型薄膜晶体管的临界电压上升。因此，使 N 型薄膜晶体管的驱动电流上升和 P 型薄膜晶体管的驱动电流下降，而减少输出端的下降时间(falling time)。

反之，在输入端(In)接收一由高至低的信号时，基体触发电路所产生的偏压为分别施加于 P 型与 N 型薄膜晶体管组件；同时，则使 P 型薄膜晶体管的临界电压下降，N 型薄膜晶体管的临界电压上升。因此，使 P 型薄膜晶体管的驱动电流上升和 N 型薄膜晶体管的驱动电流下降，而减少输出端的上升时间(rising time)。

综上所述，由于基体触发(body-trigger)偏压的影响，可以增加 P 型与 N 型薄膜晶体管组件于反应时的驱动电流进而减少上升与下降时间。显示本发明可在不影响反应速度的前提下，减少薄膜晶体管的尺寸大小；藉此在有限的面积内制作更多的驱动电路与组件，以降低成本且具有良好的可靠度。

请参考图 2 与图 3，图 2 为本发明第一实施例的结构俯视示意图；图 3

为本发明第一实施例的结构的剖面示意图，其剖面线为图 2 中的 A'-A 线段。本发明第一实施例是为一 N 型薄膜晶体管，由建立于一基板 10 的绝缘基体 20、多晶硅层、氧化硅层 40 以及与栅极电极 50 所组成；依次为栅极电极 50、氧化硅层 40、多晶硅层与绝缘基体 20 由上而下堆叠而成。其中，多晶硅层由一沟道区 23、一源极区 21 及一漏极区 22 所组成，源极区 21 与漏极区 22 为掺杂有适当的五价施主且分别连接于沟道区 23；以及，沟道区 23 的另外两端为分别具有连接绝缘基体 20 与氧化硅层 40 的基体接触区 30，其基体接触区 30 表面为具有贯穿氧化硅层 40 的接触层 31，并且，此接触层 31 未与栅极电极 50 接触。此基体接触区 30 是掺杂三价受主，以提供基体触发 (body-trigger) 偏压于绝缘基体 20。

其实际层叠情形如图 3 中所示，多晶硅层形成于此绝缘基体 20 的表面，氧化硅层 40 覆盖于多晶硅层沟道区 23 的表面；以及，一栅极电极 50 形成于多晶硅层的沟道区 23 的氧化硅层 40 上方。其中，于沟道区 23 具有连接绝缘基体 20 与氧化硅层 40 的基体接触区 30，其基体接触区 30 表面具有贯穿氧化硅层 40 的接触层 31，并且，接触层 31 未与栅极电极 50 接触。此基体接触区 30 需掺杂和源极区 21 与漏极区 22 不同型态的三价受主，以提供基体触发 (body-trigger) 偏压于绝缘基体 20。源极区 21 与漏极区 22 亦具有贯穿氧化硅层 40 的接触层 31。

其中，此基体接触区可在其上方的接触层在不与栅极电极接触的前提之下，建立于沟道区的各个位置。甚或于栅极电极内挖出一穿孔以于穿孔内建立基体接触区及其接触层，如图 4 所示，其为本发明第二实施例的结构俯视图。此具有基体接触的薄膜晶体管组件是在其栅极电极 50 之内挖出露出氧化硅层 40 的八边型穿孔 51，并且，于此八边型穿孔 51 内建立基体接触区 30 及其接触层 31，即栅极电极 50 区域为环绕于此基体接触区 30 及其接触层 31。再进一步说明其配置，请参考图 5，其为本发明第二实施例的结构的剖面示意图，其剖面线为图 4 中的 A'-A 线段。由此可知栅极电极 50、基体接触区 30 及其接触层 31 的相对位置。另外，请参考图 6，其为本发明第二实施例的结构的剖面示意图，其剖面线为图 4 中的 B'-B 线段。除了表示出栅极电极 50、基体接触区 30 及其接触层 31 的相对位置，亦显示多晶硅层的沟道区 23、源极区 21 及漏极区 22 的配置关系。

此外，亦可于栅极电极的边缘形成延伸至沟道区上方的适当凹槽，并于凹槽所掏空的区域建立基体接触区及其接触层，如图 7 所示，其为本发明第三实施例的结构俯视示意图；使栅极电极 50 形成 H 形区域，并于其所产生的延伸至沟道区 23 上方的凹槽 52 建立数个掺杂三价受主的基体接触区及其接触层，掺杂五价施主的源极区 21 与漏极区 22 则分别连接于此栅极电极下方的沟道区 23。再借由剖面图来说明本发明第三实施例的堆栈及配置情形，请参考图 8，其为本发明第三实施例的结构的剖面示意图，其剖面线为图 7 中的 A'-A 线段。其显示第三实施例的栅极电极 50、基体接触区 30、接触层 31、多晶硅层的沟道区 23、源极区 21 及漏极区 22 的相对位置及配置。

其中，由上述实施例得知源极区与漏极区邻接于接触区，且借由基体接触区所掺杂的不同杂质来提供基体触发(body-trigger)偏压。而且，本发明的电极栅极可由铬与铝其中之一制成，以上所述的方法亦可实施在 P 型 TFT 晶体管上，以增加其驱动电流。

虽然本发明的较佳实施例公开如上所述，然其并非用以限定本发明，任何本领域技术人员，在不脱离本发明的精神和范围内，当可作些许的更动与修改，因此本发明的专利保护范围须视本说明书所附的权利要求所界定者为准。

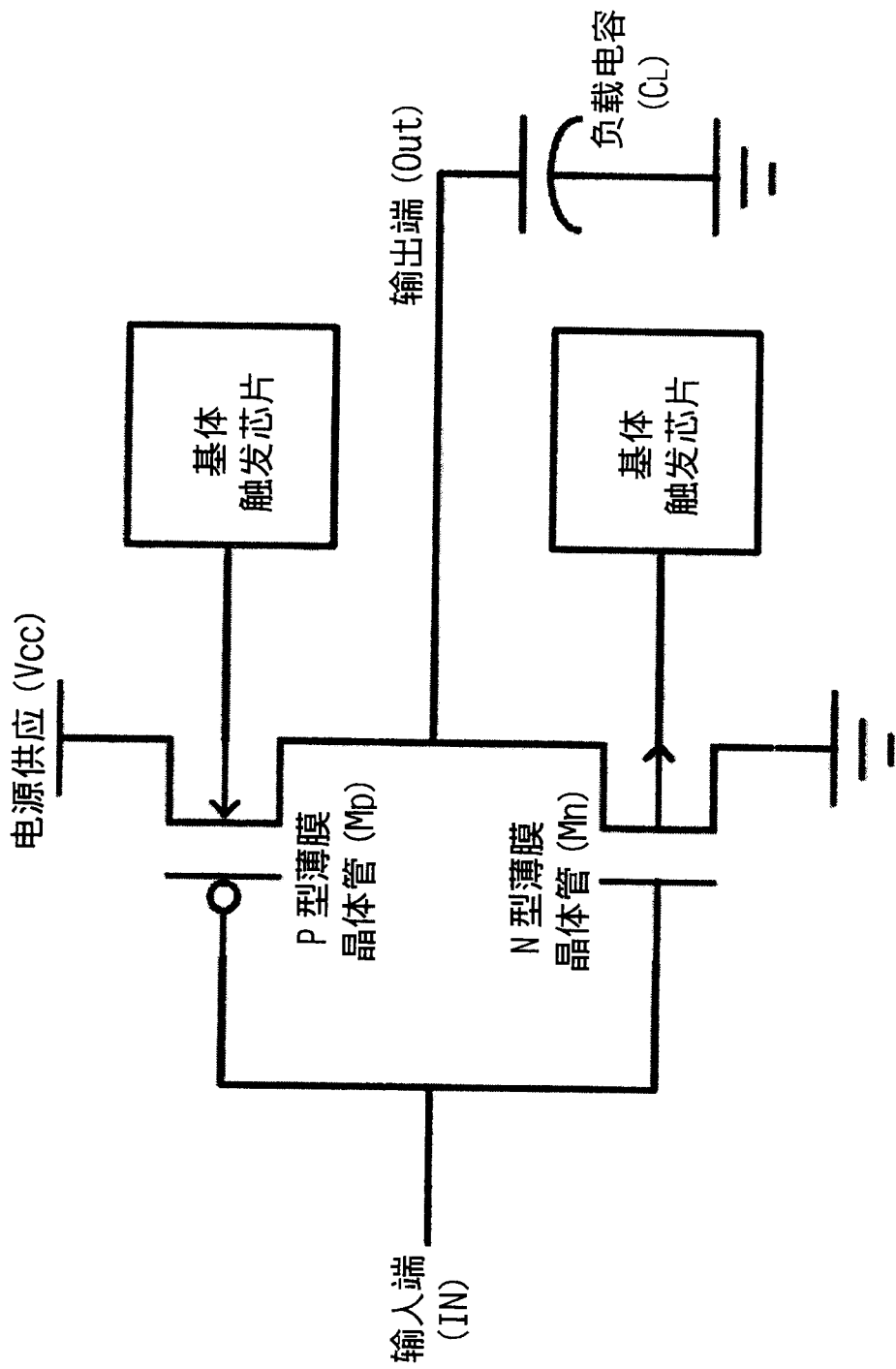


图 1

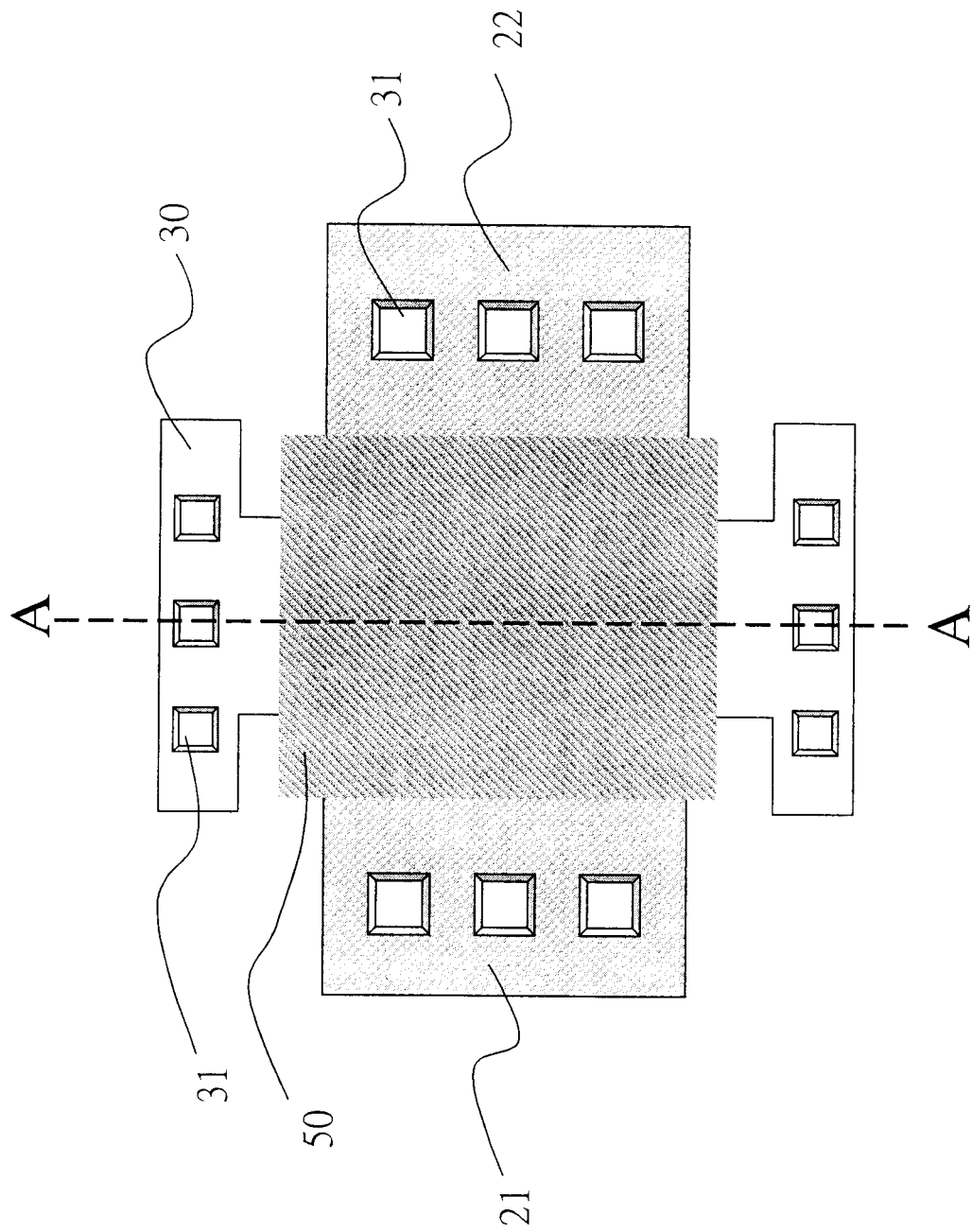


图2

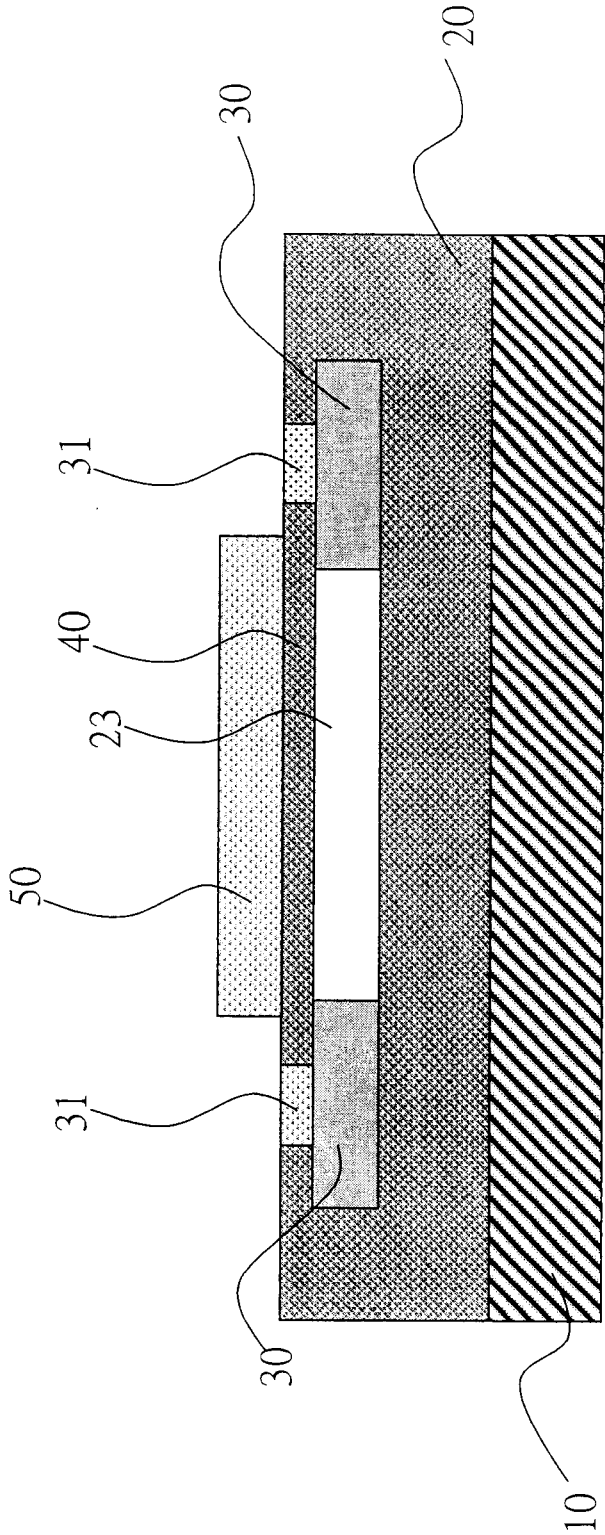
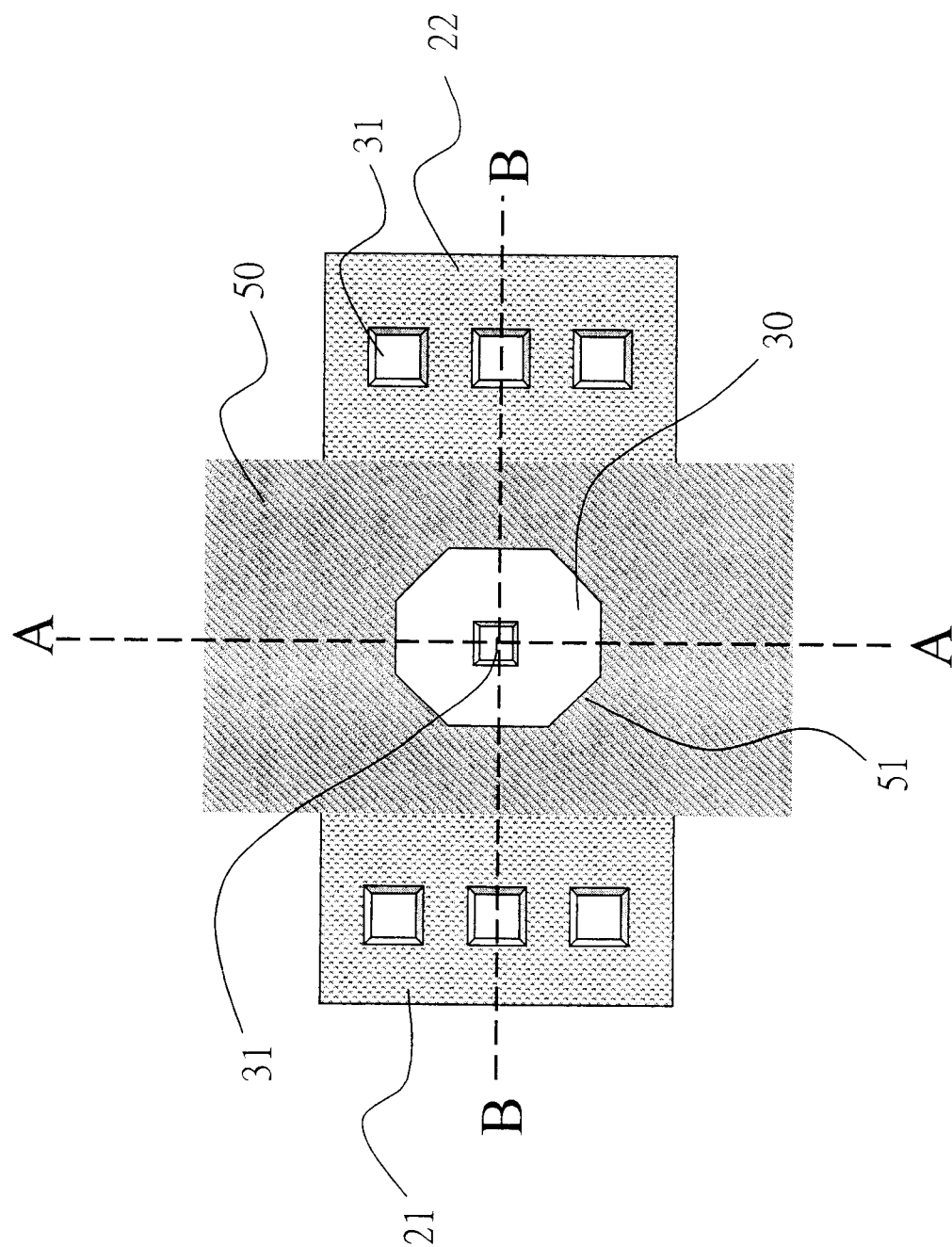


图3



4

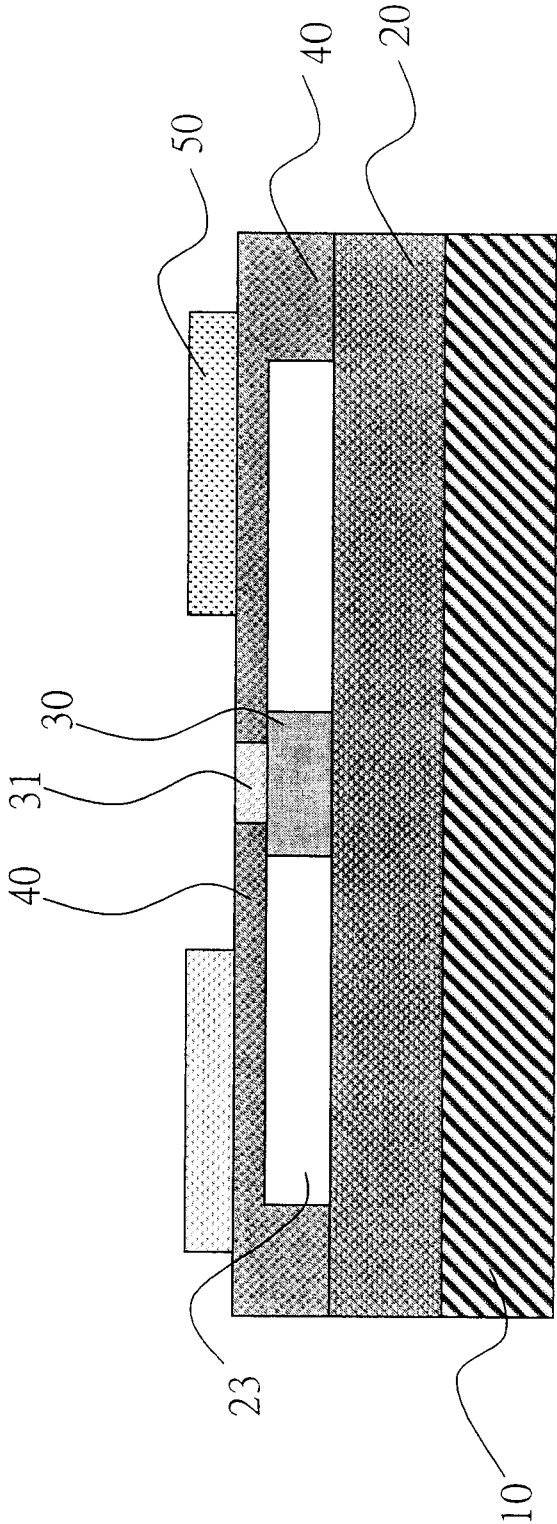


图5

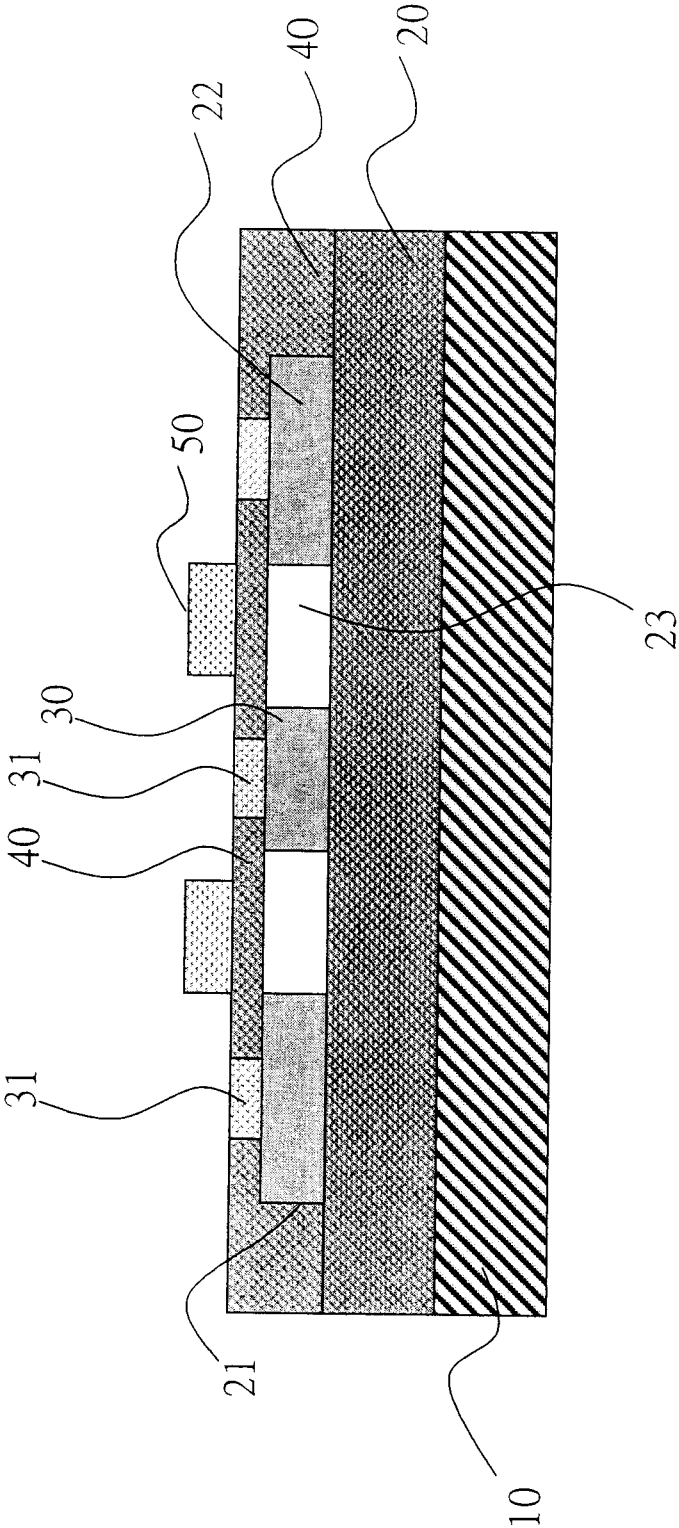


图6

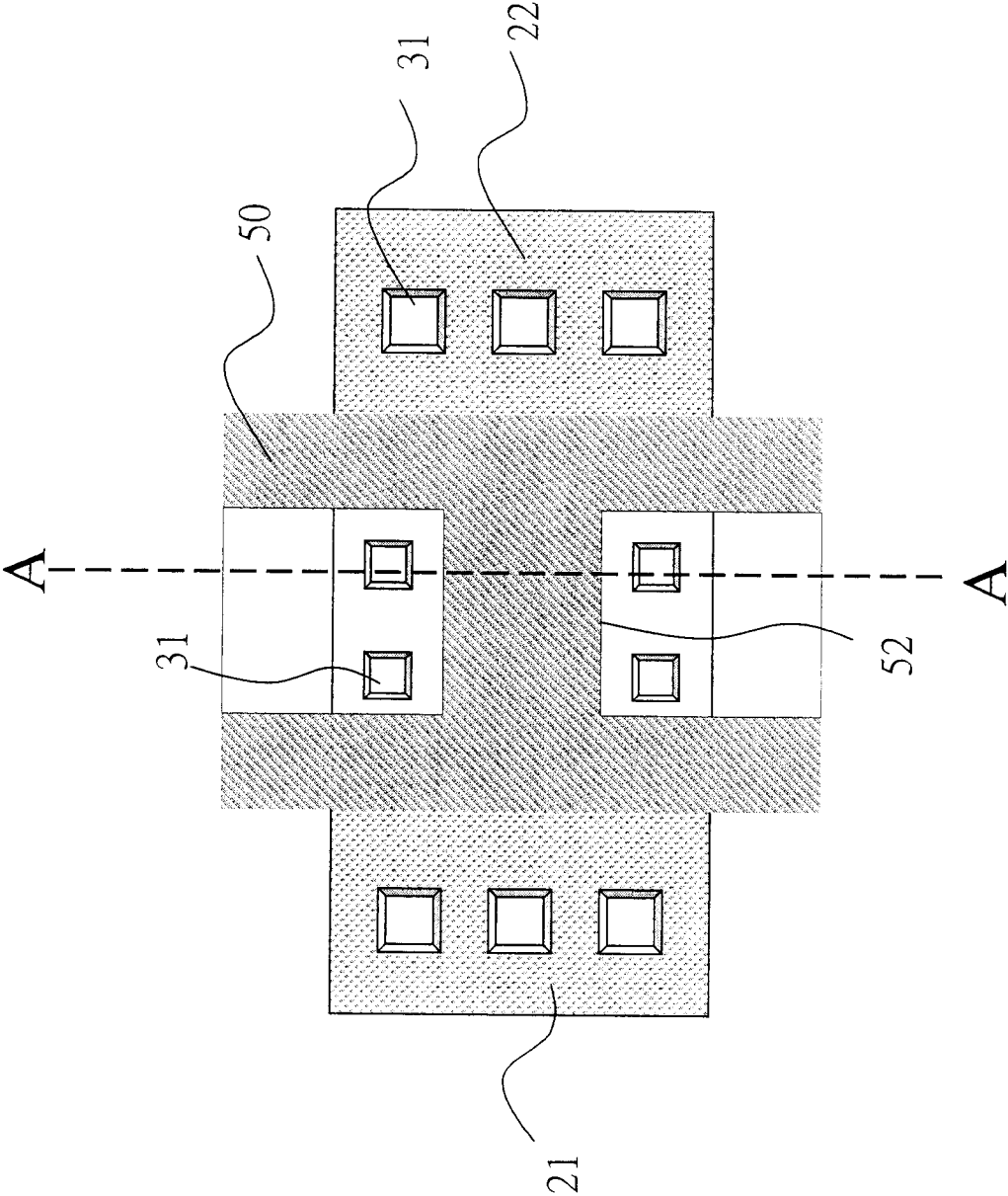


图7

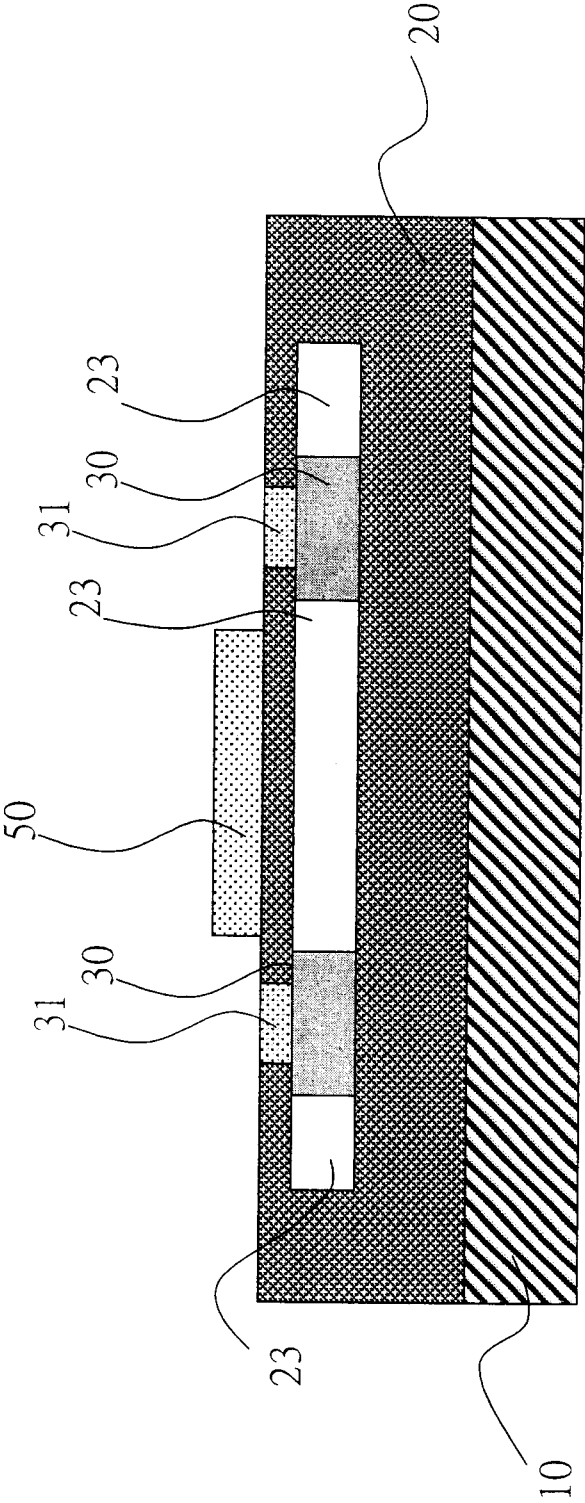


图8